

CLIPPEDIMAGE= JP402222576A
PAT-NO: JP402222576A
DOCUMENT-IDENTIFIER: JP 02222576 A
TITLE: FIELD-EFFECT TRANSISTOR

PUBN-DATE: September 5, 1990

INVENTOR-INFORMATION:
NAME
UENO, KAZUYOSHI

ASSIGNEE-INFORMATION:
NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP01044567
APPL-DATE: February 23, 1989

INT-CL (IPC): H01L029/784
US-CL-CURRENT: 257/192

ABSTRACT:

PURPOSE: To solve a problem that an input of high level is limited to be applied to a gate electrode so as to enable an enough operational margin to be secured by a method wherein an insulating layer formed of a second semiconductor oxide is formed on an active layer of a first conductor through the intermediately of an intermediate layer, where the intermediate layer is formed of a mixed crystal which contains the second semiconductor as a component element.

CONSTITUTION: A field effect transistor is provided with, at least, a gate electrode 6 formed through the intermediary of an insulating film 5 on an active layer 3 connected to a source 8 and a drain 9, where the insulating film 5 formed of a second semiconductor oxide or nitride is formed on the active layer 3 formed of a first semiconductor through the intermediary of an intermediate layer 4, and the intermediate layer 4 is formed of a mixed crystal which contains a second semiconductor as a component element.

For instance, a
GaAs buffer layer 2, an n-type GaAs active layer 3 doped with Si,
an
 $\text{Si}_x\text{Ge}_{1-x}$ graded layer 4 in which Si made to
range from 0 to 1
in composition ratio, and an Si layer are continuously grown on a
semi-insulating substrate 1 through a molecular beam epitaxy
method. Then, the
Si layer is oxidized to form an oxide layer 5 and a gate
electrode 6 formed of
tungsten silicide is provided.

COPYRIGHT: (C)1990, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-222576

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月5日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 0 1 B

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 電界効果トランジスタ

⑯ 特 願 平1-44567

⑰ 出 願 平1(1989)2月23日

⑱ 発 明 者 上 野 和 良 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 電界効果トランジスタ

特許請求の範囲

ソースおよびドレインに接続された能動層上に、絶縁体膜を介して設けたゲート電極を少なくとも備えた電界効果トランジスタにおいて、第1の半導体よりなる能動層上に中間層を介して第二の半導体の酸化物もしくは、窒化物よりなる絶縁体層を設けてなり、該中間層が第二の半導体を構成元素として含む混晶によりなる事の特徴とする電界効果トランジスタ。

発明の詳細な説明

(産業上の利用分野)

本発明は、電界効果トランジスタに関する。

(従来の技術)

例えばガリウム砒素(GaAs)基板を用いたGaAs電界効果トランジスタ(FET)を基本素子とする集積回路は、高速・低消費電力のデジタル回路素子として

盛んに開発され、実用化がなされている。特に、近年は集積度の向上が進み、4KSRAM、5Kゲートアレー等が開発されてきている。

従来のGaAsFET集積回路においては、基本素子としてショットキーゲート電界効果トランジスタが最も広く用いられている。

また、集積回路の設計においては、基本素子のバラツキを考慮することが動作を保証するうえで必要であり、集積度を向上するためにはバラツキを低減すると同時に十分な論理振幅を確保し、十分な設計マージンが得られることが基本素子の性能として要求されている。しかしながら、従来のGaAsショットキーゲートFETにおいては、ゲート電極に加え得る最高の正電圧はショットキーバリアハイトで物理的に限定されるため、十分な回路設計のマージンを確保できないという問題があった。この問題を解決するためには、ゲート電極と能動層の間に絶縁層を形成したMIS構造が必要となるが、ガリウム砒素の場合には、通常の熱酸化法によって絶縁膜を形成した場合に高密度の界面準位

が発生し、良好なMIS構造が形成できない。そのため疑似的なMIS構造の例として、例えばアイ・イー・イー・イー・トランザクション・オン・エレクトロニクス・デバイス (IEEE Transaction on Electron Devices) 第34巻、第7号(1987年)1448頁に示されたように、能動層上により電子親和力の小さい半導体層を有した構造が提案されている。

(発明が解決しようとする問題点)

従来の技術で述べたように、集積度の向上を図る上で、ゲート順方向耐圧の高いFETを実現することが重要である。そのためには、能動層とゲート電極の間にバリアとなる絶縁体層を設けることが有効である。このようなMIS構造は、例えば能動層がガリウム砒素の場合には、従来の技術で述べたようにシリコンと異なり絶縁膜との界面に 10^{14}cm^{-2} 程度の高密度の界面準位が発生するため、現在まで良好なMIS構造が得られていない。この対策として、従来の技術として述べた能動層上に電子親和力の小さい半導体層を設けた構造の場合、界面準位の問題は無いものの、バリアハイトの向上は

0.3V程度で、限度があり、回路設計に必要とされるバリアハイトを実現する上で十分ではないという問題があった。

(問題点を解決するための手段)

本発明はソースおよびドレインに接続された能動層上に絶縁体膜を介して設けたゲート電極を少なくとも備えた電界効果トランジスタにおいて、第1の半導体よりなる能動層上に中間層を介して第2の半導体の酸化物もしくは、窒化物よりなる絶縁体層を設けてなり、該中間層が第2の半導体を構成元素として含む混晶によりなる事を特徴とする電界効果トランジスタを提供するものである。

(作用)

本発明の原理は、たとえばガリウム砒素の場合、安定な酸化膜や窒化膜が従来形成できないのに比して、シリコンの場合には容易に安定な酸化膜、あるいは窒化膜が形成できるという性質を有していることと、ゲルマニウムがガリウム砒素と格子整合するという性質に基づき、中間層を構成するシリコン・ゲルマニウム混晶層のシリコンとゲル

マニウムの組成比をガリウム砒素能動層側に格子整合し、ゲート電極側がシリコン層となるように形成して、シリコン層を酸化あるいは窒化して中間層と中間層の酸化物もしくは窒化物よりなる2層構造の絶縁膜を形成して、MIS構造を実現するものである。また中間層と能動層の間に界面準位が発生しなければ中間層が薄い場合には必ずしも格子整合条件を満たす混晶層である必要はない。これによって、集積度の向上の上で有効なFETが実現できる。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第1図は、本発明の第1の実施例を示すGaAsを例にとった電界効果トランジスタの断面図である。第1図のトランジスタは、半絶縁性基板1上に連続的にGaAsバッファ層500nm²、Siを $2 \times 10^{18}\text{cm}^{-3}$ ドープしたn型GaAs能動層20nm³、Si組成を0から1まで変化させSi_xGe_{1-x}層4を10nm、Si層を10nmづつ分子線エピタキシー法によって連続的に成長す

る。すなわちSi_xGe_{1-x}層4はGaAs能動層2側ではこれを格子整合するように組成を調整し、ゲート電極側ではSi層となる。その後、酸素雰囲気中で摂氏800度に2時間保持し、Si層を酸化し10nmの酸化層5を形成する。さらに、耐熱性の珪化タンクステンを通常行なわれているスパッタによる被着、反応性ドライエッチングによる加工をなしてゲート電極6を形成する。その後、ゲート電極およびフォトレジストをマスクとして選択的にSiイオンを注入し、摂氏800度20分活性化熱処理を施して、低抵抗領域7を形成する。更に、低抵抗領域上の酸化膜を選択的に硝酸を用いてエッチング除去した後、AuGe/Ni/Auよりなる多層金属膜をリフトオフ法により選択的に被着して、水素雰囲気中で合金化熱処理を施し、ソース電極8、ドレイン電極9を形成する。

このようにして、良好なMOS構造となる酸化珪素とGaAsの間に格子定数が等しいGeを介することによって、GaAsとSiの格子不整合の影響を最小限におさえて、酸化珪素膜をGaAs動作層上に形成

し、MIS構造が実現できる。また、絶縁膜層は、酸化の代わりに窒素雰囲気あるいはアンモニア雰囲気中で窒化した窒化珪素膜も可能である。また中間層が薄い場合には中間層と能動層の間に界面単位ができなければ必ずしも格子整合条件を満たす必要はない。

一方で、第2図に示すような、従来の熱酸化によるGaAsMOSFETの場合ゲート酸化膜層10とGaAs能動層の界面に 10^{14}cm^{-3} 程度の密度の界面単位が発生するため、容量電圧特性にヒステリシスが生じ、良好なMIS特性が得られない。また、能動層としてはGaAsの他にInGaAs等の混晶を用いることやGaAs能動層上の中間層としてInAlGaPの格子整合組成の混晶層などを用い酸化もしくは窒化して絶縁膜とする事も可能である。

(発明の効果)

以上の説明から明らかなように、本発明では能動層と絶縁膜層が中間層を介して接し、また安定な絶縁膜が形成できるため良好な界面が得られる。このためGaAsMISFETの様に化合物半導体で

良好なMIS構造が難しい場合でもMISFETが実現でき、ゲート電極に加えられる入力ハイレベルの限界の問題を解決し、十分な動作マージンの確保が可能となり、高集積化の上で効果がある。

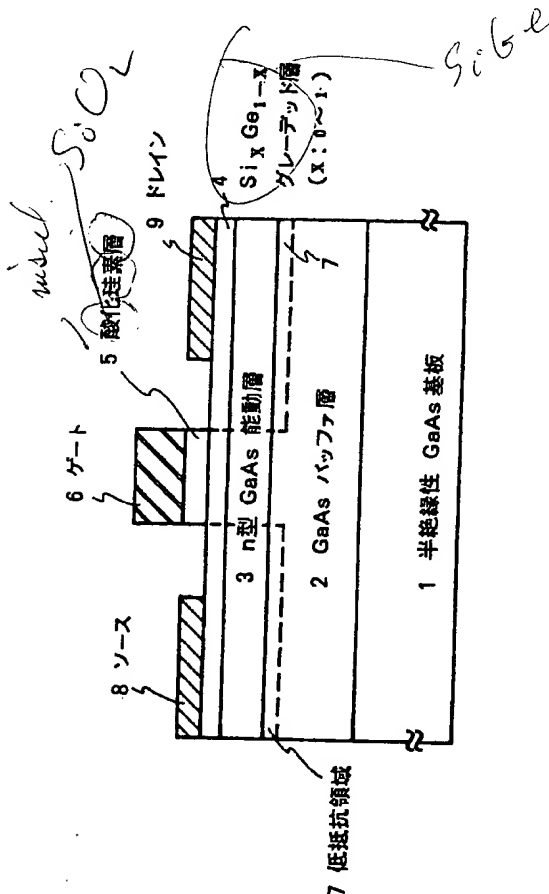
図面の簡単な説明

第1図は、本発明の実施例を示すガリウム砒素電界効果トランジスタの断面図である。第2図は、従来のガリウム砒素MOSFETの一実施例の構造の断面図である。

- 1…半絶縁性GaAs基板、
- 2…GaAsバッファ層、3…n型GaAs能動層、
- 4… $\text{Si}_x\text{Ge}_{1-x}$ グラデッド層、
- 5…酸化珪素層、6…ゲート、
- 7…低抵抗領域、8…ソース、9…ドレイン、
- 10…GaAs酸化膜層

代理人 弁理士 内原 晋

第 1 図



第 2 図

